

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.



2185  
#5

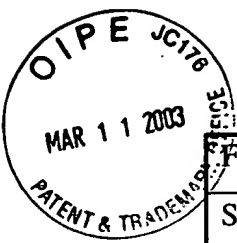
First Named Inventor	Mario Fazio	<b>TRANSMITTAL FORM UNDER 37 CFR 1.8 (LARGE ENTITY)</b>
Serial No.	09/940,259	
Filing Date	August 27, 2001	
Group Art Unit	2185	
Examiner Name	Unknown	
Confirmation No.	4530	
Attorney Docket No.	400.058US01	
Title: LOGIC AND MEMORY DEVICE INTEGRATION		

**RECEIVED**

Commissioner for Patents  
Washington, D.C. 20231

MAR 13 2003  
Technology Center 2100

<b>Enclosures</b>					
<b>The following documents are enclosed:</b>					
<u>X</u> A Communication re: Filing of Priority Document under 35 USC 119 (1 pg.);					
<u>X</u> A Certified copy of Italian priority application RM 2000 A000671 as filed 15 December 2000					
<u>X</u> An itemized return-receipt postcard.					
<b>Please charge any additional fees or credit any overpayments to Deposit Account No. 501373.</b>					
<b>CUSTOMER NUMBER 27073</b>					
<b>Submitted By</b>					
Name	Thomas W. Leffert	Reg. No.	40,697	Telephone	(612) 312-2204
Signature				Date	5 MAR 03
<b>Certificate of Mailing</b>					
I certify that this correspondence, and the documents identified above, are being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Washington, D.C. 20231 on March 5, 2003.					
Name	Rhonda L. Hutar		Signature		



First Named Inventor	Mario Fazio	<b><u>COMMUNICATION RE: FILING OF PRIORITY DOCUMENT UNDER 35 USC 119</u></b>
Serial No.	09/940,259	
Filing Date	August 27, 2001	
Group Art Unit	2185	
Examiner Name	Unknown	
Confirmation No.	4530	
Attorney Docket No.	400.058US01	
Title: LOGIC AND MEMORY DEVICE INTEGRATION		<b>RECEIVED</b> MAR 13 2003

Commissioner for Patents  
Washington D.C. 20231

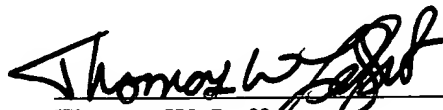
Technology Center 2100

In accordance with the requirements for claiming right of priority under 35 U.S.C. 119, enclosed for filing in the above-identified application is a certified copy of Applicant's priority application RM 2000 A000671 (Italy) as filed on 15 December 2000.

Please contact the undersigned attorney at direct dial (612) 312-2204 if you have any questions.

Respectfully submitted,

Date: 5 MAR 03

  
Thomas W. Leffert  
Reg. No. 40,697

Attorneys for Applicant  
Leffert Jay & Polglaze, P.A.  
P.O. Box 581009  
Minneapolis, MN 55458-1009  
Telephone 612-312-2200  
Facsimile 612-312-2250

**Direzione Generale per lo Sviluppo Produttivo e la Competitività**

Ufficio G2

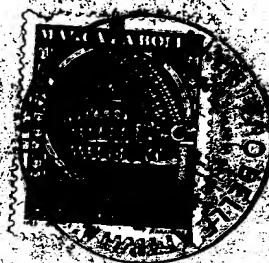
MAR 13 2003

Technology Center 2360

1. Fotocopiazione di copia di documenti relativi alla domanda di brevetto per:

## Invenzione Industriale

REF ID: A600671



Si dichiara che l'unità copia è conforme ai documenti originali depositati con la domanda di brevetto sopraspecificata, i cui dati risultano dall'accluso processo verbale di deposito.

17 GEN. 2003

**DIRIGENTE**

**Sig.ra E. MARINELLI**

## AL MINISTERO DELL'INDUSTRIA DEL COMMERCIO E DELL'ARTIGIANATO

MODULO A

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITA' AL PUBBLICO



## A. RICHIEDENTE (I)

1) Denominazione MICRON TECHNOLOGY, INC.  
 Residenza BOISE, IDAHO (U.S.A.) US codice \_\_\_\_\_  
 2) Denominazione \_\_\_\_\_  
 Residenza \_\_\_\_\_ codice \_\_\_\_\_

N.G.

## B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome e nome de Benedetti Fabrizio ed altri cod. fiscale \_\_\_\_\_  
 denominazione studio di appartenenza SOCIETA' ITALIANA BREVETTI S.p.A.  
 via Piazza di Pietra n. 39 città ROMA cap 00186 (prov) RM

## C. DOMICILIO ELETTIVO destinatario

via \_\_\_\_\_ n. \_\_\_\_\_ città \_\_\_\_\_ cap \_\_\_\_\_ (prov) \_\_\_\_\_  
 classe proposta (sez/cl/scd) \_\_\_\_\_ gruppo/sottogruppo \_\_\_\_\_ / \_\_\_\_\_

## D. TITOLO

"SISTEMA DI INTEGRAZIONE DI DISPOSITIVI DI MEMORIA E LOGICI".

ANTICIPATA ACCESSIBILITA' AL PUBBLICO: SI ☐ NO ☒

SE ISTANZA: DATA \_\_\_\_/\_\_\_\_/\_\_\_\_

N. PROTOCOLLO

## E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) FAZIO Mario 3) \_\_\_\_\_  
 2) \_\_\_\_\_ 4) \_\_\_\_\_

## F. PRIORITA'

nazione o organizzazione

tipo di priorità

numero di domanda

data di deposito

allegato  
S/R

1) \_\_\_\_\_/\_\_\_\_/\_\_\_\_  
 2) \_\_\_\_\_/\_\_\_\_/\_\_\_\_

## SCIOGLIMENTO RISERVE

Data

N° Protocollo

\_\_\_\_/\_\_\_\_/\_\_\_\_  
 \_\_\_\_/\_\_\_\_/\_\_\_\_

## G. CENTRO ABILITATO DI RACCOLTA COLTURE DI MICRORGANISMI, denominazione

## H. ANNOTAZIONI SPECIALI

una Società dello Stato del Delaware

## DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1) 2 PROV ☐ n. pag. 49  
 Doc. 2) 2 PROV ☐ n. tav. 05  
 Doc. 3) 0 RIS ☒  
 Doc. 4) 0 RIS ☐  
 Doc. 5) 0 RIS ☐  
 Doc. 6) 0 RIS ☐  
 Doc. 7) 0

riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare)

disegno (obbligatorio se citato in descrizione, 1 esemplare)

lettera d'incarico

designazione inventore

documenti di priorità con traduzione in italiano

autorizzazione o atto di cessione

nominativo completo del richiedente

attestati di versamento, totale lire novemcentoquindicimila=COMPILATO IL 15 / 12 / 2000

FIRMA DEL (I) RICHIEDENTE (I)

CONTINUA (SI/NO) NODEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA (SI/NO) SI

CAMERA DI COMMERCIO INDUSTRIA ARTIGIANATO E AGRICOLTURA DI

RM 2000 A 000671

ROMA

codice 58

VERBALE DI DEPOSITO

NUMERO DI DOMANDA

Reg. A

L'anno duemilail giorno quindicidel mese di dicembreIl (i) richiedente (i) sopraindicato (i) ha (hanno) presentato a me sottoscritto la presente domanda, corredata di n. 00 fogli aggiuntivi per la concessione del brevetto sopraportato.

ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE

L'EROGANTE

timbro dell'ufficio

L'UFFICIALE ROGANTE

L'Ufficiale Rogante  
Savia Allieri

RM2000 A 000671

SIB-92429

FSP#400.058IT01

DESCRIZIONE DELL'INVENZIONE INDUSTRIALE dal titolo:  
"SISTEMA DI INTEGRAZIONE DI DISPOSITIVI DI MEMORIA  
E LOGICI"

della ditta statunitense MICRON TECHNOLOGY, INC.

(una Società dello Stato del Delaware)

con sede in BOISE, IDAHO (U.S.A.)



DESCRIZIONE

Campo tecnico dell'invenzione

La presente invenzione si riferisce genericamente a dispositivi di memoria a semiconduttori, ed in particolare la presente invenzione si riferisce a dispositivi di memoria a semiconduttori progettati per la integrazione con un processore o altro dispositivo logico e a sistemi prodotti da questi.

Base tecnica dell'invenzione

I sistemi computerizzati o di gestione elettronica di informazione, sia che siano grandi macchine, microcalcolatori o piccoli dispositivi da tenere in mano, richiedono memoria per immagazzinare dati ed istruzioni di programma. Sono stati sviluppati vari sistemi di memoria lungo gli



anni per rivolgersi alle necessità in evoluzione dei sistemi di gestione di informazione. Uno di tali sistemi di memoria include dispositivi di memoria a semiconduttori.

I dispositivi di memoria a semiconduttori sono dispositivi di memoria ad accesso rapido. In un dispositivo di memoria a semiconduttori, il tempo richiesto per immagazzinare e recuperare informazione in genere è indipendente dalla collocazione fisica dell'informazione entro il dispositivo di memoria. I dispositivi di memoria a semiconduttori tipicamente memorizzano informazione in una grande schiera di celle. Dati ed informazione di stati del dispositivo di memoria sono forniti a dispositivi esterni attraverso un insieme di linee di segnale di dati o DQ.

Una particolare forma di dispositivo di memoria a semiconduttori è una memoria non volatile cui si fa riferimento come memoria di tipo flash. Una memoria di tipo flash comprende una schiera di celle di memoria realizzate con transistori a gate flottante. Una carica immagazzinata nel gate flottante del transistor determina la tensione di soglia del transistor. Si possono impiegare vari metodi di percezione per rivelare la tensione di

soglia e quindi determinare il valore dei dati associati con una singola cella di memoria.

Applicazioni di tipo industriale, di comunicazioni e calcolatoristiche stanno spingendo la richiesta di dispositivi di memoria in una varietà di sistemi elettronici. Dispositivi portatili specializzati consumano una grande quantità di memoria flash e spingono continuamente per tensioni più basse e maggiori densità per diminuire i requisiti di potenza, ridurre la grandezza ed aumentare la funzionalità. Tali dispositivi portatili includono telefoni cellulari digitali o altre applicazioni per radiocomunicazioni, camere di ripresa digitali, registratori audio, agende digitali personali (PDA) ed apparecchiature di collaudo.

In applicazioni di sistema che richiedono integrazione di dispositivi logici e dispositivi di memoria, sono noti tre approcci. Un primo approccio è quello di combinare dispositivo di memoria e dispositivo logico in un singolo chip di tipo a (ASIC) cioè circuito integrato specifico per applicazioni impiegando un processo di memoria a basso costo. Un tale approccio è una alternativa a basso costo, ma i procedimenti di memoria sono



carenti degli strati metallici e della complessità circuitale che sono necessari per produrre un dispositivo logico ad alte prestazioni. Conseguentemente, un tale ASIC fornisce una prestazione relativamente limitata del nucleo logico. Un secondo approccio è quello di combinare il dispositivo logico ed il dispositivo di memoria in una chip ASIC a chip singolo impiegando un processo logico più sofisticato che fornisce un numero maggiore di strati metallici e di maschere. Anche se più costoso del primo approccio, il processo logico supporta nuclei logici ad alte prestazioni. Nell'uno e l'altro di questi approcci, la flessibilità dello ASIC è limitata per quanto riguarda la funzionalità del nucleo logico e la grandezza del dispositivo di memoria sono fisse. Modifiche in risposta a richieste di mercato o a nuove tecnologie richiedono generalmente una riattrezzatura estensiva sia che le modifiche influenzino soltanto la parte di memoria o la parte logica dello ASIC. In aggiunta, per i sistemi correlati che differiscono soltanto nella quantità di memoria fornita, sarebbero necessari separati ASIC per ciascun sistema. La figura 1A è uno schema a blocchi semplificato di un sistema elettronico

100 prodotto come un ASIC a chip singolo ed accoppiato ad un bus di sistema 150. Il sistema elettronico 100 in genere comprende un blocco 110 di nucleo di memoria contenente le celle di memoria e la circuiteria di rilevazione; un blocco 112 di controllo, logica ed interconnessione; un blocco analogico 114 che fornisce vari potenziali di tensioni interne dal potenziale di alimentazione; un blocco 116 di nucleo logico; un blocco 118 di memoria statica ad accesso casuale (SRAM) per il "caching" di dati tra il blocco 116 di nucleo logico ed il blocco 110 di nucleo di memoria; un blocco 120 di ingresso/uscita (I/O) per l'interfacciamento con il bus 150 di sistema; e spesso un blocco 122 specifico per il cliente che contiene funzionalità specifiche per il cliente per lo ASIC. Si nota che la figura 1A è una astrazione di un sistema elettronico e che la collocazione fisica e il relativo dimensionamento dei singoli blocchi nella figura non sono necessariamente rappresentativi di un sistema elettronico effettivo.

Per fornire una maggiore flessibilità, eventualmente con requisiti di costo, grandezza e potenza aumentati, un terzo approccio è quello di



integrare un dispositivo di memoria e un dispositivo logico che impiega un dispositivo logico separato ed un dispositivo di memoria separato. In questo modo, il dispositivo di memoria ed il dispositivo logico ciascuno possono essere prodotti impiegando un procedimento ottimizzato per il particolare dispositivo. Inoltre, rispondendo a mercati che cambiano o nuove tecnologie è relativamente facile, per il fatto che solo la parte interessata richiede di essere modificata. In aggiunta, sistemi correlati che differiscono soltanto nella quantità di memoria fornita possono essere prodotti semplicemente sostituendo il dispositivo di memoria appropriato. La figura 1B è uno schema a blocchi semplificato di un sistema elettronico 100 avente un dispositivo di memoria 102 ed un dispositivo logico 104 ciascuno accoppiato ad un bus di sistema 150. Il dispositivo 102 di memoria include in genere un blocco 110 di nucleo di memoria contenente le celle di memoria ed i circuiti di rilevazione; un blocco 112 di interconnessione di logica e controllo; un blocco 114 analogico che fornisce i vari potenziale di tensione interni al potenziale di alimentazioni; ed un blocco 124 I/O per l'interfacciamento con il bus

150 di sistema. Il dispositivo logico 104 in genere include un blocco 116 di nucleo logico; una memoria statica ad eccesso casuale (SRAM) come blocco 118 per il "caching" di dati tra il blocco 116 di nucleo logico ed il blocco 110 di nucleo di memoria del dispositivo 102 di memoria; un blocco 120 di ingresso/uscita (I/O) per l'interfacciamento con il bus 150 di sistema; e spesso un blocco 122 specifico di cliente che contiene funzionalità specifiche di cliente per il dispositivo logico 104. Un sistema elettronico del tipo mostrato nella figura 1B può richiedere un 5-10% di spazio fisico aggiuntivo sul semiconduttore rispetto ad un sistema equivalente del tipo mostrato nella figura 1A, a motivo della ridondanza della circuiteria di I/O. Si deve notare che la figura 1B è una astrazione di un sistema elettronico e che la collocazione fisica ed il dimensionamento relativo dei singoli blocchi o chip semiconduttori nella figura non sono necessariamente rappresentativi di un sistema elettronico effettivo.

Per le ragioni sopra indicate, e per altre ragioni che verranno esposte oltre che saranno chiare a coloro che sono esperti nel ramo a seguito della lettura e comprensione della presente

descrizione, vi è una necessità nella tecnica per l'integrazione di dispositivi di memoria e dispositivi logici che supportano flessibilità di sistema, requisiti di bassa potenza e grandezza ridotta.

#### Sommario dell'invenzione

La presente invenzione è indirizzata ai suddetti problemi con dispositivi di memoria ed altri problemi e verrà compresa leggendo e studiando la seguente descrizione.

Sono descritti dispositivi di memoria che sono adattati per l'interfaccia diretta o l'integrazione virtuale con un processore o altro dispositivo logico attraverso un bus locale ed isolato da un bus di sistema. Un tale accoppiamento di un dispositivo di memoria e di un dispositivo logico equivale ad una integrazione virtuale in quanto i dispositivi sono in grado di livelli di prestazione ed efficienze a livello di piastrina che si avvicinano o sostanzialmente corrispondono a quelle dei progetti ASCI a singolo chip.

Dispositivi di memoria del tipo qui descritto sono in grado di avere grandezza ridotta e minore requisiti di potenza dovuti in parte alla eliminazione o riduzione di particolari circuiterie

ridondanti. L'interfacciamento diretto attraverso il bus locale facilita la eliminazione o la riduzione della circuiteria buffer di ingresso/uscita (I/O) eliminando la necessità di salire e di scendere da tipici livelli di tensione di bus di sistema. Tali dispositivi di memoria richiedono quindi una minore area di piastrina a semiconduttori ed hanno una minore richiesta di potenza per effetto della eliminazione o riduzione della circuiteria di transito. L'interfacciamento diretto attraverso il bus locale può ulteriormente facilitare i requisiti di bassa potenza e grandezza ridotta della circuiteria di pilotaggio delle uscite; la circuiteria di pilotaggio delle uscite richiede soltanto livelli di potenza di pilotaggio compatibili con le richieste di logica interna del dispositivo logico su un bus locale dedicato piuttosto che livelli di potenza di pilotaggio per superare la dissipazione di potenza associata con un bus di sistema per impieghi generali.

Per una forma di realizzazione, l'invenzione fornisce un dispositivo di memoria. Il dispositivo di memoria comprende una schiera di memoria ed almeno una linea di segnale con buffer nominale per la comunicazione tra la schiera di memoria ed un



dispositivo esterno. La linea di segnale con buffer nominale è sostanzialmente incapace di traslazione di livello e può essere ulteriormente non munita di buffer. La linea di segnale con buffer nominale può includere una linea di segnali di dati, una linea di segnali di indirizzo o una linea di segnali di controllo. Per una ulteriore forma di realizzazione, ciascuna linea di segnale per la comunicazione tra il dispositivo di memoria ed il dispositivo esterno è una linea di segnale con buffer nominale.

La schiera di memoria può essere una schiera di celle di memoria a gate flottante non volatile ed il dispositivo esterno può essere un dispositivo logico. Per ancora una ulteriore forma di realizzazione, una linea di segnale a buffer nominale viene multiplata per servire più di un segnale.

Per un'altra forma di realizzazione, l'invenzione fornisce un dispositivo di memoria. Il dispositivo di memoria comprende una schiera di memoria ed almeno una linea di segnale con buffer nominale per una comunicazione tra la schiera di memoria ed il dispositivo esterno. La linea di segnale con buffer nominale è sostanzialmente

incapace di traslazione di livello e può essere ulteriormente non a buffer. La almeno una linea di segnale con buffer nominale include almeno una linea di segnale di controllo per ricevere segnali di controllo da dispositivi esterni almeno una linea di segnale di indirizzo per ricevere segnali di indirizzo dal dispositivo esterno per l'accesso ad una parte della schiera di memoria in risposta ai segnali di controllo, ed almeno una linea di segnali di dati per ricevere segnali di dati dal dispositivo esterno per scrivere la parte della schiera di memoria alla quale si ha accesso.

Per ancora un'altra forma di realizzazione, l'invenzione fornisce un sistema elettronico. Il sistema elettronico comprende un dispositivo logico per accoppiarsi con un bus di sistema, un dispositivo di memoria separato dal dispositivo logico, ed un bus locale accoppiato tra il dispositivo logico ed il dispositivo di memoria. Il dispositivo di memoria include almeno una linea di segnale con buffer nominale accoppiata al bus locale. Per una ulteriore forma di realizzazione, il sistema elettronico può inoltre comprendere aree di accoppiamento sul dispositivo logico, comprendenti una prima parte per l'accoppiamento a



bus di sistema ed una seconda parte per l'accoppiamento al bus locale. Il sistema elettronico può comprendere zone di accoppiamento sul dispositivo di memoria per l'accoppiamento al bus locale, e collegamenti diretti accoppiati tra la seconda parte delle zone di accoppiamento sul dispositivo logico e le zone di accoppiamento sul dispositivo di memoria. Le connessioni dirette costituiscono nel loro insieme il bus locale. Un esempio di sistema elettronico comprende un impacchettamento a catasta o un altro modulo a più chip. Un esempio di un sistema elettronico comprende un dispositivo di comunicazione via radio.

Per ancora un'altra forma di realizzazione, l'invenzione fornisce un metodo per far funzionare un dispositivo di memoria. Il metodo comprende il comunicare tra il dispositivo di memoria ed un dispositivo logico separato dal dispositivo di memoria, in cui la comunicazione si verifica attraverso un bus locale a livelli di tensione compatibili con i livelli logici interni del dispositivo di memoria. Il bus locale può comprendere un certo numero di collegamenti diretti tra il dispositivo di memoria ed il dispositivo

logico. Il metodo può inoltre comprendere la comunicazione tra il dispositivo logico ed un bus di sistema, in cui il bus di sistema è distinto ed isolato dal bus locale. Per una ulteriore forma di realizzazione, i livelli per la comunicazione attraverso il bus di sistema sono più alti dei livelli logici interni del dispositivo di memoria. Per ancora una ulteriore forma di realizzazione, la comunicazione tra il dispositivo di memoria ed il dispositivo logico attraverso il bus locale avviene ad una prima frequenza e la comunicazione tra il dispositivo logico ed il bus di sistema avviene ad una seconda frequenza, in cui la prima frequenza è più alta della seconda frequenza. Per ancora un'altra forma di realizzazione, la comunicazione tra il dispositivo di memoria ed il dispositivo logico attraverso il bus locale si verifica con una prima grandezza di parola e la comunicazione tra il dispositivo logico ed il bus di sistema avviene con una seconda grandezza di parola, in cui la prima grandezza di parola è più ampia della seconda grandezza di parola.

L'invenzione fornisce inoltre metodi ed apparecchi di vario ambito.



Breve descrizione dei disegni

La figura 1A è uno schema a blocchi semplificato di un sistema elettronico prodotto come ASIC a singolo chip e accoppiato ad un bus di sistema.

La figura 1B è uno schema a blocchi semplificato di un sistema elettronico avente un dispositivo di memoria ed un dispositivo logico ciascuno accoppiato ad un bus di sistema.

La figura 2A è uno schema a blocchi semplificato di un sistema elettronico avente un dispositivo di memoria ed un dispositivo logico, in cui il dispositivo di memoria è accoppiato al dispositivo logico attraverso un bus locale.

La figura 2B è uno schema a blocchi funzionale di un dispositivo di memoria come parte di un sistema elettronico avente un dispositivo di memoria ed un dispositivo logico, in cui il dispositivo di memoria è accoppiato al dispositivo logico attraverso un bus locale.

Le figure 3A-3C sono rispettivamente una vista dall'alto, laterale e dal basso, di un sistema elettronico come confezionamento accatastato, in cui il sistema elettronico possiede un dispositivo di memoria accoppiato ad un dispositivo logico

attraverso un bus locale.

Descrizione particolareggiata dell'invenzione

Nella seguente descrizione particolareggiata della presente invenzione, si fa riferimento ai disegni allegati che ne formano parte, ed in cui sono mostrate a titolo di illustrazione specifiche forme di realizzazione in cui può essere introdotta in pratica l'invenzione. Queste forme di realizzazione sono descritte con dettagli sufficienti per consentire a coloro che sono esperti nel ramo di realizzare in pratica l'invenzione, e si deve comprendere che si possono utilizzare altre forme di realizzazione e che si possono effettuare variazioni di processo, elettriche o meccaniche senza discostarsi dall'ambito della presente invenzione. Il termine "wafer" o substrato impiegati nella seguente descrizione includono qualsiasi struttura di base a semiconduttori. Esempi includono la tecnologia silicio su zaffiro (SOS), tecnologia silicio su isolante (SOI), tecnologia a transistori a film sottile (TFT), semiconduttori drogati e non drogati, strati epitassiali di silicio supportati da una struttura semiconduttrice di base, così come altre strutture a semiconduttore ben note ad una

persona esperta nel ramo. Inoltre, quando si fa riferimento ad un wafer o substrato nella seguente descrizione, precedenti passi di processo che sono stati utilizzati per formare regioni/giunzioni nella struttura a semiconduttore di base, ed i termini wafer e substrato includono gli strati sottostanti contenenti tali regioni/giunzioni. La seguente descrizione particolareggiata, non deve essere considerata in senso limitativo, e l'ambito della presente invenzione è definito soltanto dalle rivendicazioni allegate e dai loro equivalenti.

Le varie forme di realizzazione dell'invenzione si riferiscono alla integrazione di un dispositivo logico e di un dispositivo di memoria. Dispositivi di memoria di varie forme di realizzazione sono disposti per una comunicazione in via diretta, con un dispositivo logico attraverso un bus locale. Dispositivi di memoria delle varie forme di realizzazione possono comprendere dispositivi non muniti di buffer. Il bus locale è dedicato alla comunicazione bidirezionale tra il dispositivo logico ed il dispositivo di memoria. Le tensioni sul bus locale sono sostanzialmente a livelli logici interni del dispositivo di memoria. Per una forma di

realizzazione, il bus locale comprende una molteplicità di collegamenti diretti tra il dispositivo di memoria ed il dispositivo logico. Per una ulteriore forma di realizzazione, ciascun collegamento diretto del bus locale è un collegamento a filo di connessione tra una piazzola di collegamento sul dispositivo di memoria ed una piazzola di collegamento sul dispositivo logico. Per una forma di realizzazione alternativa, ciascun collegamento diretto del bus locale è un collegamento a borchia di lega saldante tra una piazzola di collegamento del dispositivo di memoria ed una piazzola di collegamento del dispositivo logico. Per un'altra forma di realizzazione, ciascun collegamento diretto è dedicato alla comunicazione esclusivamente tra una singola piazzola di collegamento o altra zona di accoppiamento del dispositivo di memoria ed una singola piazzola di collegamento o altra zona di collegamento sul dispositivo logico. Il bus locale è distinto ed isolato dal bus di sistema.

L'impiego di un bus locale dedicato tra un dispositivo di memoria ed un dispositivo logico facilita la eliminazione o riduzione di circuiteria buffer sul dispositivo di memoria. Circuiteria.



buffer di ingresso disposta per la traslazione di livello viene normalmente inclusa in un dispositivo di memoria per proteggere il dispositivo dai livelli di tensione di un bus di sistema. La circuiteria buffer di uscita disposta per un pilotaggio ad alto livello e traslazione di livello viene normalmente inclusa in un dispositivo di memoria per pilotare le tensioni ed i livelli di carico di un bus di sistema esterno. Con il dispositivo di memoria isolato dal bus di sistema ed il bus locale che portano livelli di tensione sostanzialmente a livelli logici interni del dispositivo di memoria, non è necessaria una circuiteria di buffer di ingresso. Inoltre, il bus dedicato locale ha minori carichi induttivi, capacitivi e resistivi, riducendo quindi le richieste di dimensionamento della circuiteria di buffer di uscita. Nel senso qui impiegato, un segnale avrà un livello di tensione compatibile con i livelli logici interni di un dispositivo se la tensione massima prevista del segnale è sostanzialmente uguale o inferiore al più elevato livello accettabile di tensione dei livelli logici interni del dispositivo. La eliminazione o riduzione di una circuiteria buffer facilita

1000  
1000

ulteriormente rendimenti di spazio fisico sul semiconduttore che si avvicinano a quelli di un ASIC a chip singolo. Inoltre, sistemi elettronici contenenti dispositivi di memoria e logici secondo le varie forme di realizzazione hanno un consumo di potenza più basso rispetto ai sistemi con dispositivi multipli tipici in qualità di comunicazione tra il dispositivo di memoria e il dispositivo logico è a livelli di tensione sostanzialmente a livelli logici interni piuttosto che a più elevati livelli di bus di sistema.

Anche se il bus locale opera a tensioni compatibili con i livelli logici interni del dispositivo di memoria per cui è ottenibile la eliminazione della circuiteria di buffer di ingresso, può essere ancora desiderabile predisporre il condizionamento di segnale per uno o più dei segnali di ingresso. Tale condizionamento di segnale può comprendere l'accoppiamento di impedenza tra il dispositivo di memoria ed il dispositivo logico per ridurre riflessioni che diventano dannose in modo crescente con frequenze di trasmissione più elevate. Tuttavia, senza la necessità di traslazione di livello tra i livelli di tensione di bus di sistema e i livelli logici di



dispositivo di memoria, la circuiteria buffer di ingresso può fare uso di transistori più piccoli adatti al condizionamento di segnale e sostanzialmente incapaci di traslazione di livello. Di nuovo, la riduzione della grandezza del buffer di ingresso facilita maggiori rendimenti di spazio fisico.

La figura 2A illustra uno schema a blocchi semplificato di un sistema elettronico 200A avente un dispositivo di memoria 202A ed un dispositivo logico 204A, in cui il dispositivo di memoria 202A è accoppiato al dispositivo logico 204A attraverso un bus locale 275. Il dispositivo di memoria 202A in genere comprende un blocco 110 di nucleo di memoria contenente le celle di memoria ed il circuito rilevatore; un blocco 112 di controllo, logica ed interconnessione, ed un blocco 114 analogico che fornisce i vari potenziali di tensione interni dal potenziale di alimentazione. Il dispositivo logico 204A in genere comprende un blocco 116 a nucleo logico; un blocco 118 di memoria statica ad accesso casuale (SRAM) per il "caching" di dati tra il blocco 116 a nucleo logico ed il blocco 110 a nucleo di memoria; un blocco 120 di ingresso/uscita (I/O) per l'interfacciamento con

il bus 250 di sistema; e spesso un blocco 122 specifico per cliente che contiene funzionalità specifiche per il cliente. Si deve notare che la funzionalità del blocco 118 SRAM può essere sostituito da ciò che è definita una RAM pseudostatica. Nella RAM pseudostatica, una schiera RAM dinamica (DRAM) viene rinfrescata automaticamente nel "background" in modo che appaia funzionalmente come una schiera SRAM verso dispositivi esterni. Questo approccio consente l'impiego di tecnologia DRAM in luogo della tecnologia SRAM.

Il dispositivo di memoria 202A è accoppiato al dispositivo logico 204A attraverso un bus locale 275. Il bus locale 275 contiene almeno una linea conduttrice per la comunicazione elettrica di segnali tra il dispositivo di memoria 202A e il dispositivo logico 204A. Alcuni comuni esempi di linee conduttrici includono collegamenti a filo di unione e collegamenti a borchia di stagno ben noti nella tecnica. Per una prima forma di realizzazione, il bus locale 275 può comprendere una linea per ciascun segnale di indirizzo, segnale di dati e segnali di controllo in comunicazione tra il dispositivo di memoria 202A ed il dispositivo



logico 204A. Per un'altra forma di realizzazione, almeno una parte dei segnali comunicati tra il dispositivo di memoria 202A e il dispositivo logico 204A sono multiplati in modo che almeno una linea del bus locale 275 effettua servizio per due o più segnali.

La figura 2B illustra lo schema a blocchi funzionale di un dispositivo di memoria 202B accoppiato ad un dispositivo logico 204B di un sistema elettronico 200B secondo una prima forma di realizzazione dell'invenzione. La figura 2B fornisce un particolare alternativo del dispositivo di memoria per descrivere più chiaramente la funzione del bus locale 275. Il dispositivo di memoria 202B può, ad esempio, essere fabbricato come dispositivo a circuito integrato su una piastrina a semiconduttori di un wafer a semiconduttore. Il dispositivo di memoria 202B include una schiera di memoria 206. Le celle di memoria (non mostrate) della schiera 206 di memoria possono essere celle di memoria a gate flottante non volatili, quali quelle di un dispositivo di memoria flash. Circuiteria 210 di accesso di riga e circuiteria 212 di accesso di colonna sono predisposte per decodificare segnali di indirizzo

applicati su linee di segnale di indirizzo A0-Ax 214 dal bus locale 275. Circuiteria 210 di accesso di riga e circuiteria 212 di accesso di colonna forniscono accesso alle celle di memoria della schiera di memoria 206 in risposta ai segnali di indirizzo decodificati. Un circuito latch di indirizzo 208 è disposto per agganciare i segnali di indirizzo applicati esternamente prima della decodifica. Il circuito 220 di pilotaggio di uscita di dati viene incluso per porre in uscita dati su un molteplicità di linee 226 di segnale di dati (DQ) verso il dispositivo logico 204B attraverso il bus locale 275. Un latch 224 per i dati viene disposto tra le linee 226 di segnale DQ e la schiera 206 di memoria per memorizzare valori di dati (che devono essere scritti verso una cella di memoria) ricevuti sulle linee 226 di segnale DQ dal dispositivo logico 204B attraverso il bus locale 275.

Il circuito 216 di controllo di comando decodifica segnali di controllo forniti sulle linee 228 di segnale di controllo dal dispositivo logico 204B attraverso il bus locale 275. I segnali di controllo sono impiegati per controllare il funzionamento della schiera di memoria 206, inclusi

518  
207A

lettura dati, scrittura dati, e operazioni di cancellazione. Per una prima forma di realizzazione, il dispositivo di memoria 202B è un dispositivo con buffer nominale. Come qui usato, un dispositivo o linea di segnale verrà munito nominalmente di buffer se questo manca di circuiteria buffer adatta alla traslazione di livello, come quella tra un livello di bus di sistema ed un livello di logica interna, e che ancora permette ad altra circuiteria buffer condizionamento di segnali interni, quali adattamento di impedenza. Per una ulteriore forma di realizzazione, il dispositivo 202B di memoria è un dispositivo privo di buffer in quanto non viene accoppiata circuiteria di buffer di ingresso alle linee 226 di segnale DQ, le linee 214 di segnale di indirizzo o le linee 228 di segnale di controllo.

In un tipico dispositivo di memoria, la circuiteria di buffer di ingresso per la traslazione di livello è disposta tra le linee 226 di segnale DQ e il latch di dati 224, tra le linee 214 di segnale di indirizzo ed il circuito 208 di latch di indirizzo, e tra le linee di segnale di controllo 228 e il circuito 216 di controllo di comando. Una tale circuiteria buffer di ingresso di

8.4.1.  
12.1.1.

traslazione di livello è generalmente inclusa per separare o proteggere un dispositivo da tensioni di ingresso che sono dannosamente più elevate dei livelli logici interni, come quelle che potrebbero essere utilizzate attraverso un bus di sistema per impieghi generali. Mentre le comunicazioni attraverso il bus locale 275 tra il dispositivo di memoria 202B e il dispositivo logico 204B sono a livelli di tensione associati con livelli logici interni dei dispositivi, non è necessaria una separazione di ingresso per la protezione dei dispositivi. Tuttavia, come notato precedentemente, può essere desiderabile l'adattamento di impedenza o altro condizionamento del segnale senza traslazione di livello. Per una prima forma di realizzazione, almeno una linea 226 di segnale DQ ed almeno una linea 214 di segnale di indirizzo, e/o almeno una linea 228 di segnale di controllo sono nominalmente a buffer. Per una ulteriore forma di realizzazione, almeno una linea 226 di segnale DQ, almeno una linea 214 di segnale di indirizzo e/o almeno una linea 228 di segnale di controllo sono prive di buffer.

In aggiunta ad una riduzione nella circuiteria di buffer di ingresso, la circuiteria di buffer del



circuito 220 di pilotaggio di uscita dei dati può anche essere ridotta. Il bus locale 275 come qui descritto possiede carichi inferiori dal punto di vista induttivo, capacitivo e resistivo rispetto ad un corrispondente bus 250 di sistema. Come tale, il circuito 220 di pilotaggio di uscita di dati verrebbe chiamato a pilotare un carico significativamente più piccolo. Per effetto del carico più piccolo, si possono impiegare transistori di uscita più piccoli il che porta ad un minore consumo di potenza ed un maggiore rendimento di piastrina.

Il dispositivo 202B di memoria è stato semplificato per facilitare una comprensione di base delle caratteristiche della memoria. Una comprensione più dettagliata dei componenti funzionali del dispositivo di memoria è nota a coloro che sono esperti nel ramo.

Le figure 3A-3C sono rispettivamente una vista dall'alto, laterale e dal basso di un sistema 300 elettronico come impacchettamento a catasta o modulo multichip secondo una forma di realizzazione dell'invenzione. Per il sistema elettronico 300, un dispositivo logico 204 viene montato su un dispositivo di memoria 202. Il dispositivo di

memoria 202 può essere ulteriormente montato su un pannello a circuito stampato (PCB) o altro supporto 360. Il dispositivo di memoria 202 e il dispositivo logico 204 hanno ciascuno piazzole di saldatura o altre zone di accoppiamento per fornire comunicazione elettrica a vari circuiti interni, quali linee di segnale di controllo, linee di segnale di indirizzo e linee di segnale DQ. Le aree 362 di accoppiamento del dispositivo 202 di memoria e le aree 364 di accoppiamento del dispositivo logico 204 sono illustrate come piazzole di interconnessione. Zone di accoppiamento 362 sono accoppiate a zone 364 di accoppiamento attraverso una o più connessioni dirette 366. Le connessioni dirette 366 nel loro insieme costituiscono il bus locale.

Le connessioni dirette 366 sono illustrate come collegamenti a filo, sebbene sono note altre connessioni quali le connessioni a borchia di lega saldante. Le connessioni dirette 366 non hanno dispositivi interposti o altre cadute tra una zona 362 di accoppiamento del dispositivo di memoria 202 e la sua zona 364 corrispondente di accoppiamento del dispositivo logico 204. Vantaggiosamente, ciascun collegamento 366 diretto può quindi essere



fisicamente piccolo, avente dissipazione di potenza relativamente bassa in confronto ad un picco di bus di sistema. In genere, la lunghezza di un tipico bus di sistema è almeno un ordine di grandezza maggiore della lunghezza delle connessioni dirette 366. Per una forma di realizzazione, ciascuna connessione diretta 366 è di lunghezza inferiore a circa 2 mm. Per una ulteriore forma di realizzazione, ciascuna connessione 366 diretta è di lunghezza inferiore a circa 1 mm. Collettivamente, le connessioni dirette 366 formano il bus locale dedicato tra il dispositivo di memoria 202 e il dispositivo logico 204. Per una prima forma di realizzazione, il dispositivo 202 di memoria riceve un segnale di clock esterno e/o potenziali di alimentazione di energia elettrica dal dispositivo logico 204 attraverso il bus locale. Per un'altra forma di realizzazione, il dispositivo 202 di memoria riceve un segnale di clock esterno e/o potenziale di alimentazione di energia elettrica attraverso una connessione (non mostrata) verso il supporto 360 o altro dispositivo esterno.

La disposizione mostrata nelle figure 3A-3C è particolarmente vantaggiosa quando il dispositivo

logico 204 è più piccolo del dispositivo di memoria 202, facilitando la collocazione delle zone di accoppiamento 362 e 364 attorno al perimetro di ciascun dispositivo corrispondente. Altre disposizioni sono possibili per sistemi elettronici secondo l'invenzione, includendo il collocare il dispositivo 202 di memoria sopra il dispositivo logico 204, montare il dispositivo di memoria 202 e il dispositivo di memoria 204 su lati opposti di un supporto 360, e collocare il dispositivo di memoria 202 e il dispositivo logico 204 sostanzialmente nello stesso piano o in adiacenza o con spaziatura laterale. In ciascun caso le zone 362 e 364 di accoppiamento debbono essere accessibili per semplificare la fabbricazione del sistema elettronico.

Le figure 3A-3B mostrano ulteriormente una parte delle zone 364 di accoppiamento del dispositivo logico 204 accoppiato alle zone 368 di accoppiamento del supporto 360 attraverso collegamenti 370. Le connessioni 370, come con le connessioni dirette 366, sono illustrate come collegamenti a fili. Tali zone 364 di accoppiamento possono essere accoppiate ad un bus di sistema attraverso i collegamenti 370 per la comunicazione



con dispositivi esterni o interfacce di utente, quali una tastiera, un cicalino, un microfono, altoparlante, visualizzatore, ecc., di un sistema di comunicazione via radio. Tali zone 364 di accoppiamento possono ricevere inoltre potenziale di alimentazione di energia elettrica o altri segnali esterni quali un segnale di clock esterno, attraverso tali connessioni 370. Le connessioni 370 sono generalmente accoppiate a questi dispositivi esterni, segnali esterni o potenziali di alimentazione di potenza attraverso connessioni esterne 372 illustrate nelle figure 3B-3C come collegamenti a borchie di lega saldante. La parte di zone di accoppiamento 364 del dispositivo logico 204 accoppiato a connessioni 370 è separato e distinto dalla parte di zone 364 di accoppiamento del dispositivo logico 204 accoppiato alle connessioni dirette 366. Come illustrato dalla figura 3B, il sistema 300 elettronico generalmente comprende un incapsulante 374 per proteggere i dispositivi e le connessioni da eventi quali urto meccanico, atmosfere aggressive, e cortocircuiti elettrici.

I sistemi elettronici secondo l'invenzione, i progettisti possono ulteriormente eliminare la

protezione contro scariche elettrostatiche (ESD) nel dispositivo di memoria. Come esempio, nel dispositivo 300 elettronico delle figure 3A-3B, il dispositivo di memoria 202 è isolato da un bus di sistema con la interposizione del dispositivo logico 204. Inoltre, le connessioni 366 dirette sono isolate dalle scariche esterne con l'incapsulante 374. Conseguentemente, il dispositivo 202 di memoria può essere privo di protezione ESD, basandosi invece su qualsiasi protezione ESD contenuta nel dispositivo logico 204 o sul supporto 360.

Con una tale stretta integrazione di un dispositivo di memoria e di un dispositivo logico come descritti in questa sede, ulteriori forme di realizzazione possono ulteriormente eliminare funzioni logiche dal dispositivo di memoria, lasciando soltanto la schiera di memoria e la circuiteria di accesso. La comunicazione ad alta velocità con ampia larghezza di bit facilitata dal bus locale dedicato consente l'impiego di un dispositivo logico per fornire tutte le funzioni logiche al dispositivo di memoria, quali interpretazione di comandi e decodificazione di indirizzo. In questo modo, i segnali di indirizzo

decodificati possono essere inviati dal dispositivo logico al dispositivo di memoria per l'accesso della schiera di memoria senza ulteriore decodifica di indirizzo. Similmente, segnali di comando decodificati possono essere inviati dal dispositivo logico al dispositivo di memoria per il controllo di operazioni della schiera di memoria senza ulteriore interpretazione di comandi.

#### Conclusione

Dispositivi di memoria e sistemi elettronici aventi un dispositivo di memoria e un dispositivo logico sono stati descritti e facilitano prestazioni aumentate, ridotto consumo di potenza e costo ridotto. Dispositivi di memoria di varie forme di realizzazione sono adattati per la comunicazione attraverso un bus locale dedicato sotto tensione compatibili con livelli logici interni, facilitando in tal modo la eliminazione o la riduzione di circuiteria di buffer. Le varie forme di realizzazione facilitano prestazioni aumentate supportando velocità di comunicazione aumentate e grandezze di parola più ampie tra un dispositivo di memoria ed un dispositivo logico. Le varie forme di realizzazione facilitano un consumo ridotto di potenza abbassando le tensioni per le

comunicazioni tra un dispositivo di memoria separato ed un dispositivo logico separato a livelli compatibili con i livelli logici interni dei dispositivi. Le varie forme di realizzazione facilitano un costo ridotto consentendo che la parte di memoria di un sistema elettronico venga prodotto impiegando tecnica di fabbricazione di memoria a relativamente basso costo senza una influenza negativa sulla parte logica del sistema elettronico, e riducendo l'utilizzazione di area di lavoro sul semiconduttore a livelli paragonabili a quelli di un dispositivo ASIC a chip singolo.

Le varie forme di realizzazione dell'invenzione e il loro adattamento per l'impiego di un bus locale per comunicazione tra un dispositivo di memoria e un dispositivo logico forniscono alcuni vantaggi aggiuntivi. Il bus locale tra il dispositivo di memoria e il dispositivo logico è in genere ordine di grandezza più basso in lunghezza rispetto ad un bus di sistema, risultando in tal modo in una minore dissipazione di potenza attraverso più basse perdite resistive. In aggiunta ad una minore dissipazione di potenza rispetto ad un bus di sistema, il bus locale inoltre fornisce tassi di



comunicazione più veloci. Il bus locale, per effetto della sua lunghezza relativa e mancanza di dispositivi interposti o di cadute interposte, presenterà un minore ringing, migliorando in tal modo l'affidabilità di comunicazione e facilitando frequenze di clock più elevate tra il dispositivo di memoria ed il dispositivo logico. Il bus locale può anche fornire comunicazione più veloce attraverso l'impiego di altri gradi di parallelismo. Come esempio, un sistema elettronico avente un dispositivo di memoria e un dispositivo logico ciascuno dei quali supporta una parola a 64 bit impiega un bus locale e include 64 linee di segnale DQ avente un bus di sistema che può essere limitato ad una parola a 16 bit. In questo modo la parola a 64 bit può essere trasferita tra il dispositivo di memoria e il dispositivo logico in un singolo trasferimento di 64 bit piuttosto che quattro trasferimento sequenziali ciascuno di 16 bit.

Limitando la comunicazione ad alta velocità, un dispositivo di memoria ed un dispositivo logico al bus locale dedicato, il bus di sistema può essere ottimizzato per le velocità di comunicazione relativamente più basse necessarie per la

8/11  
8/11

comunicazione tra il dispositivo logico e i dispositivi esterni o interfacce di utente. Conseguentemente, la larghezza a bit del bus di sistema può essere ridotta senza influenzare negativamente le prestazioni del sistema. Il numero di connessione tra il dispositivo logico e questi dispositivi esterni e interfacce di utente attraverso il bus di sistema può anche essere ridotto, riducendo in tal modo la grandezza della circuiteria buffer richiesta sul dispositivo logico, cioè, la circuiteria buffer per la traslazione di livello può essere limitata a soltanto quei collegamenti del dispositivo logico accoppiato al bus di sistema.

Sebbene siano state illustrate in questa sede specifiche forme di realizzazione sarà compreso da coloro che sono di comune esperienza nella tecnica che qualsiasi altra disposizione che sia calcolata per ottenere lo stesso scopo può essere sostituita alle specifiche forme di realizzazione mostrate. Numerosi adattamenti dell'invenzione saranno chiari a coloro che con ordinaria esperienza nella tecnica. Conseguentemente questa domanda è intesa proteggere qualsiasi variazione e adattamenti dell'invenzione. È manifestamente inteso che questa

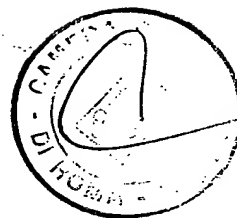
1110  
20.1



invenzione sia limitata soltanto dalle seguenti  
rivendicazioni e loro equivalenti.

Gi. Lo Strini  
(Istr. ALD n. 452 BM)

*Lo Strini*



RM 2000 A 000671

RIVENDICAZIONI

1. Metodo per il funzionamento di un dispositivo di memoria (202), comprendente:

comunicare tra il dispositivo di memoria (202) e un dispositivo logico (204) separato dal dispositivo di memoria (202), in cui la comunicazione avviene attraverso un bus locale (275) a livelli di tensione compatibili con i livelli logici interni del dispositivo di memoria (202).

2. Metodo secondo la rivendicazione 1, in cui il bus locale (275) comprende una molteplicità di connessioni dirette (366) tra il dispositivo di memoria (202) e il dispositivo logico (204).

3. Metodo secondo la rivendicazione 1, in cui le comunicazioni attraverso il bus locale (275) verso il dispositivo di memoria (202) sono ricevute da almeno una linea di segnale con buffer nominale (214, 226, 228) del dispositivo di memoria (202).

4. Metodo secondo la rivendicazione 3, in cui la almeno una linea di segnale con buffer nominale (214, 226, 228) comprende una linea di segnale senza buffer.

5. Metodo secondo la rivendicazione 1, 2 o 3, ulteriormente comprendente:



S.R.  
10.00

il comunicare tra il dispositivo logico (204) ed un bus di sistema (250), in cui il bus di sistema (250) è distinto ed isolato dal bus locale (275).

6. Metodo secondo la rivendicazione 5, in cui livelli di tensione per comunicazione attraverso il bus di sistema (250) sono superiori ai livelli logici interni del dispositivo di memoria (202).

7. Metodo secondo la rivendicazione 5, in cui il bus di sistema (250) ha una lunghezza che è almeno un ordine di grandezza maggiore della lunghezza del bus locale (275).

8. Metodo secondo la rivendicazione 5, in cui il bus di sistema (250) ha una larghezza di bit che è inferiore alla larghezza di bit del bus locale (275).

9. Metodo secondo la rivendicazione 5, in cui la comunicazione tra il dispositivo di memoria (202) ed il dispositivo logico (204) attraverso il bus locale (275) si verifica ad una prima frequenza e la comunicazione tra il dispositivo logico (204) ed il bus di sistema (253) avviene ad una seconda frequenza, in cui la prima frequenza è superiore alla seconda frequenza, in cui la prima frequenza è

superiore alla seconda frequenza.

10. Metodo secondo la rivendicazione 5, in cui la comunicazione tra il dispositivo di memoria (202) e il dispositivo logico (204) attraverso il bus locale (275) si verifica ad una prima grandezza di parola e la comunicazione tra il dispositivo logico (204) ed il bus di sistema (250) si verifica ad una seconda grandezza di parola, in cui la prima grandezza di parola è maggiore della seconda grandezza di parola.

11. Metodo secondo la rivendicazione 1, ulteriormente comprendente:

indicare un segnale di indirizzo decodificato dal dispositivo logico (204) verso il dispositivo di memoria (202); e

accedere ad una schiera di memoria (206) del dispositivo di memoria (202) in risposta al segnale di indirizzo decodificato senza ulteriore decodifica di indirizzo.

12. Metodo secondo la rivendicazione 1, ulteriormente comprendente:

inviare un segnale di comando decodificato dal dispositivo logico (204) al dispositivo di memoria (202); e

controllare operazioni su una schiera di

memoria (206) del dispositivo di memoria (202) in risposta ad un segnale di comando decodificato senza ulteriore interpretazione di comando.

13. Dispositivo di memoria (202) comprendente:

una schiera di memoria (206); e

almeno una linea di segnale (214, 226, 228) nominalmente a buffer, sostanzialmente incapace di traslazione di livello, per comunicare tra la schiera (206) di memoria ed un dispositivo esterno (204).

14. Dispositivo di memoria (202) secondo la rivendicazione 13, in cui la almeno una linea di segnale a buffer nominale (214, 226, 228) è una linea di segnali di dati (226).

15. Dispositivo di memoria (202) secondo la rivendicazione 13, in cui la almeno una linea di segnale a buffer nominale (214, 226, 228) è una linea (214) di segnale di indirizzo.

16. Dispositivo di memoria (202) secondo la rivendicazione 13, in cui la almeno una linea di segnale a buffer nominale (214, 226, 228) è una linea (228) di segnale di controllo.

17. Dispositivo di memoria (202) secondo la rivendicazione 13, in cui ciascuna linea di segnale

(214, 226, 228) per la comunicazione tra il dispositivo di memoria (202) ed il dispositivo esterno (204) è una linea di segnale a buffer nominale.

18. Dispositivo di memoria (202) secondo la rivendicazione 13, in cui la almeno una linea di segnale a buffer nominale (214, 226, 228) è una linea di segnale priva di buffer.

19. Dispositivo di memoria (202) secondo la rivendicazione 13, 14, 15, 16 o 17, in cui la schiera di memoria (206) è una schiera di celle di memoria a gate flottante non volatili ed in cui il dispositivo esterno è un dispositivo logico.

20. Dispositivo di memoria (202) secondo la rivendicazione 13, 14, 15, 16 o 17, in cui la almeno una linea di segnale a buffer nominale (214, 226, 228) è multiplata per servire più di un segnale.

21. Dispositivo di memoria (202) secondo la rivendicazione 13, in cui la almeno una linea di segnale a buffer nominale (214, 226, 228) comprende:

una molteplicità di linee (226) di segnale di dati a buffer nominale;

una molteplicità di linee 214 di segnale di



indirizzo a buffer nominale; e

una molteplicità di linee (228) di segnale di controllo a buffer nominale.

22. Dispositivo di memoria (202) secondo la rivendicazione 13, in cui la almeno una linea di segnale a buffer nominale (214, 226, 228) comprende:

almeno una linea di segnale di controllo (228) per ricevere segnali di controllo dal dispositivo esterno (204);

almeno una linea di segnale di indirizzo (214) per ricevere segnali di indirizzo dal dispositivo esterno (204) per accedere ad una parte della schiera di memoria (206) in risposta ai segnali di controllo; e

almeno una linea di segnale di dati (226) per ricevere segnali di dati dal dispositivo esterno (204) per scrivere la parte cui si è avuto accesso della schiera di memoria (206).

23. Dispositivo di memoria (202) secondo la rivendicazione 13, in cui il dispositivo di memoria (202) è privo di funzioni logiche in grado di interpretazione di comandi.

24. Dispositivo (202) secondo la rivendicazione 13, in cui il dispositivo di memoria

(202) è privo di funzioni logiche in grado di decodifica di indirizzo.

25. Sistema elettronico (200, 300) comprendente:

un dispositivo logico (204) per accoppiamento ad un buffer di sistema (250);

un dispositivo di memoria (202) separato dal dispositivo logico (204); e

un bus locale (275) accoppiato tra il dispositivo logico (204) ed il dispositivo di memoria (202);

in cui il dispositivo di memoria (202) comprende almeno una linea di segnale (214, 226, 228) a buffer nominale accoppiato al bus locale (275).

26. Sistema elettronico (200, 300) secondo la rivendicazione 25, in cui la almeno una linea di segnale a buffer nominale (214, 226, 228) è una linea di segnale senza buffer.

27. Sistema elettronico (200, 300) secondo la rivendicazione 25, ulteriormente comprendente:

una molteplicità di zone di accoppiamento (364) sul dispositivo logico (204), comprendenti una prima parte della molteplicità di zone di accoppiamento (364) sul dispositivo logico (204)



per l'accoppiamento con il bus di sistema (250) ed una seconda parte della molteplicità di zone di accoppiamento (364) sul dispositivo logico (204) per l'accoppiamento al bus locale (275);

una molteplicità di zone di accoppiamento (362) sul dispositivo di memoria (202) per l'accoppiamento al bus locale (275); e

una molteplicità di collegamenti diretti (366) accoppiati tra la seconda parte della molteplicità di zone di accoppiamento (364) sul dispositivo logico (204) e la molteplicità di zone di accoppiamento (362) sul dispositivo di memoria (202), in cui la molteplicità di collegamenti diretti (366) nel loro insieme costituiscono il bus locale (275).

28. Sistema elettronico (200, 300) secondo la rivendicazione 27, in cui la molteplicità di collegamenti diretti (366) è costituito da una molteplicità di collegamenti a filo di interconnessione.

29. Sistema elettronico (200, 300) secondo la rivendicazione 27, in cui la molteplicità di collegamenti diretti (366) è costituito da una molteplicità di collegamenti a borchia di lega saldante.

30. Sistema elettronico (200, 300) secondo la rivendicazione 27, 28 o 29, in cui la molteplicità di collegamenti diretti (366) hanno ciascuno una lunghezza inferiore a circa 2 mm.

31. Sistema elettronico (200, 300) secondo le rivendicazioni 27, 28 e 29, in cui la molteplicità dei collegamenti diretti (366) hanno ciascuno una lunghezza inferiore a circa 1 mm.

32. Sistema elettronico (200, 300) secondo la rivendicazione 25, in cui la almeno una linea di segnale a buffer nominale (214, 226, 228) è una linea di segnali di dati (226).

33. Sistema elettronico (200, 300) secondo la rivendicazione 25, in cui la almeno una linea di segnale a buffer nominale (214, 226, 228) è una linea (214) di segnale di indirizzo.

34. Sistema elettronico (200, 300) secondo la rivendicazione 25, in cui la almeno una linea di segnale a buffer nominale (214, 226, 228) è una linea (228) di segnale di controllo.

35. Sistema elettronico (200, 300) secondo la rivendicazione 25, in cui ciascuna linea di segnale (214, 226, 228) per la comunicazione tra il dispositivo di memoria (202) ed il dispositivo logico (204) è una linea di segnale a buffer



nominale.

36. Sistema elettronico (200, 300) secondo la rivendicazione 25, in cui il dispositivo di memoria (202) comprende una schiera di memoria (206) contenente una schiera di celle di memoria a gate flottante non volatili.

37. Sistema elettronico (200, 300) secondo la rivendicazione 25, in cui la almeno una linea di segnale a buffer nominale è costituita da:

una molteplicità di linee (226) di segnali di dati a buffer nominale;

una molteplicità di linee (214) di segnale di indirizzo a buffer nominale; e

una molteplicità di linee (228) di segnale di controllo a buffer nominale.

38. Sistema elettronico (200, 300) secondo la rivendicazione 25, in cui il dispositivo di memoria (202) comprende una schiera di memoria (206) e la almeno una linea di segnale a buffer nominale (214, 226, 228) comprende:

almeno una linea di segnale di controllo (228) per ricevere segnali di controllo dal dispositivo logico (204);

almeno una linea (214) di segnale di indirizzo per ricevere segnali di indirizzo dal dispositivo

logico (204) per accedere ad una parte della schiera di memoria (206) in risposta ai segnali di controllo; e

almeno una linea (226) di segnali di dati per ricevere segnali di dati dal dispositivo logico (204) per scrivere nella parte cui si è avuto accesso della schiera di memoria (206).

39. Sistema elettronico (200, 300) secondo la rivendicazione 25, in cui il sistema elettronico (200, 300) è un dispositivo di comunicazione via radio.

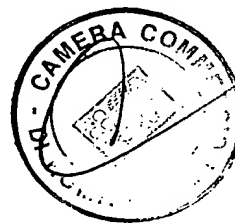
40. Sistema elettronico (200, 300) secondo la rivendicazione 25, in cui il dispositivo di memoria (202) è privo di funzioni logiche in grado di interpretare comandi.

41. Sistema elettronico (200, 300) secondo la rivendicazione 25, in cui il dispositivo di memoria (202) è privo di funzioni logiche in grado di decodifica di indirizzo.

p.p. MICRON TECHNOLOGY, INC.

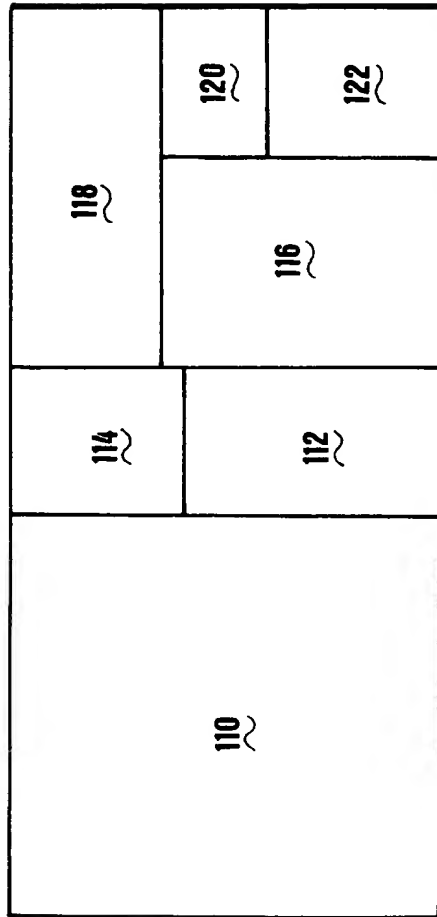
*Giorgio Strini*  
(Iscr. Albo n. 452 BM)

*Strini*



RM 2000 A 000671

100



150

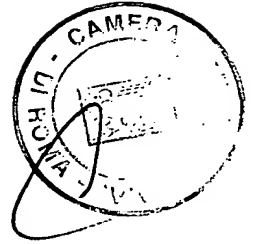


FIG. 1A

RM 2000 A 000671

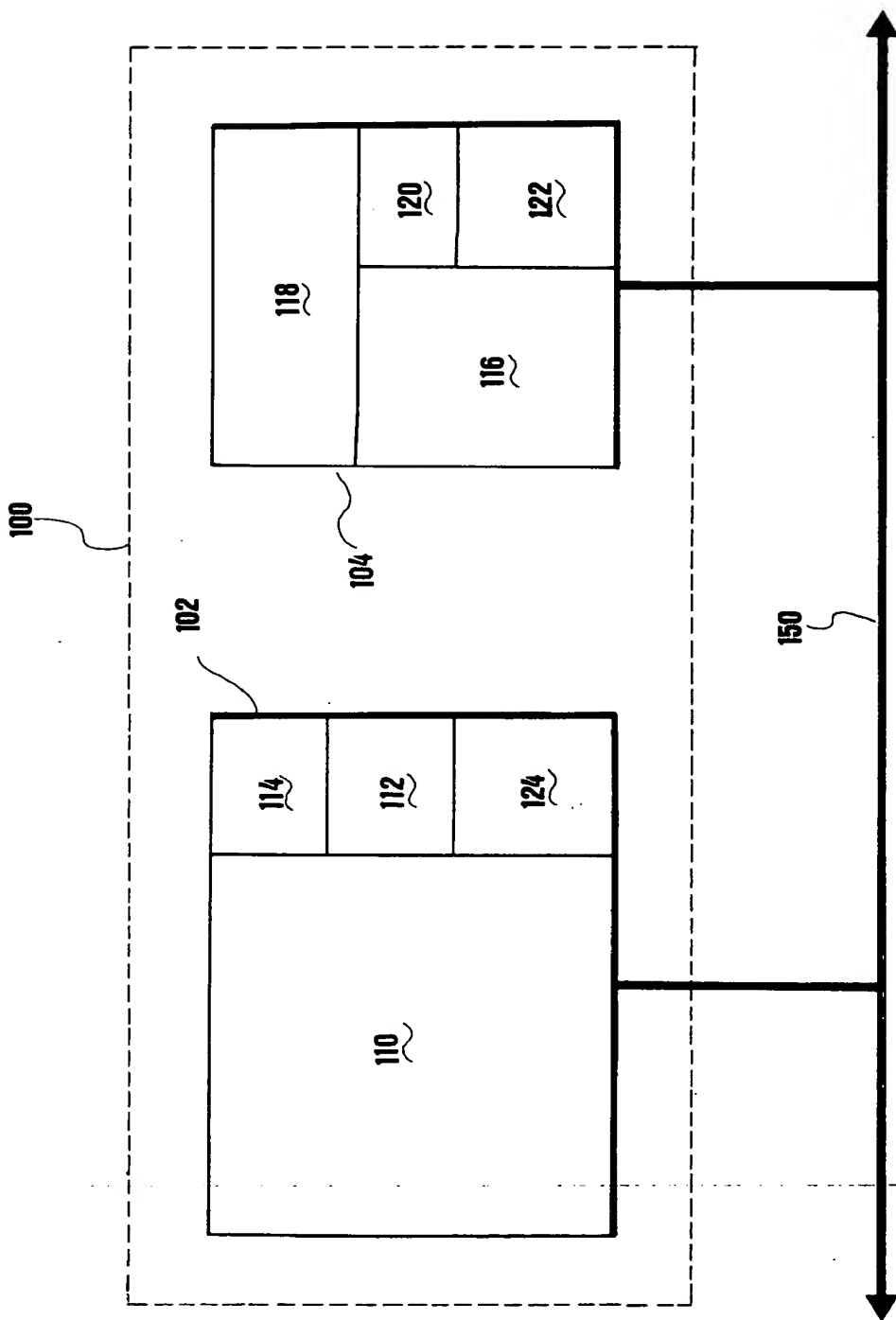
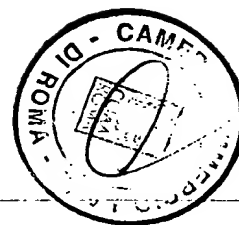


FIG. 1B



W

RM2000 A 000671

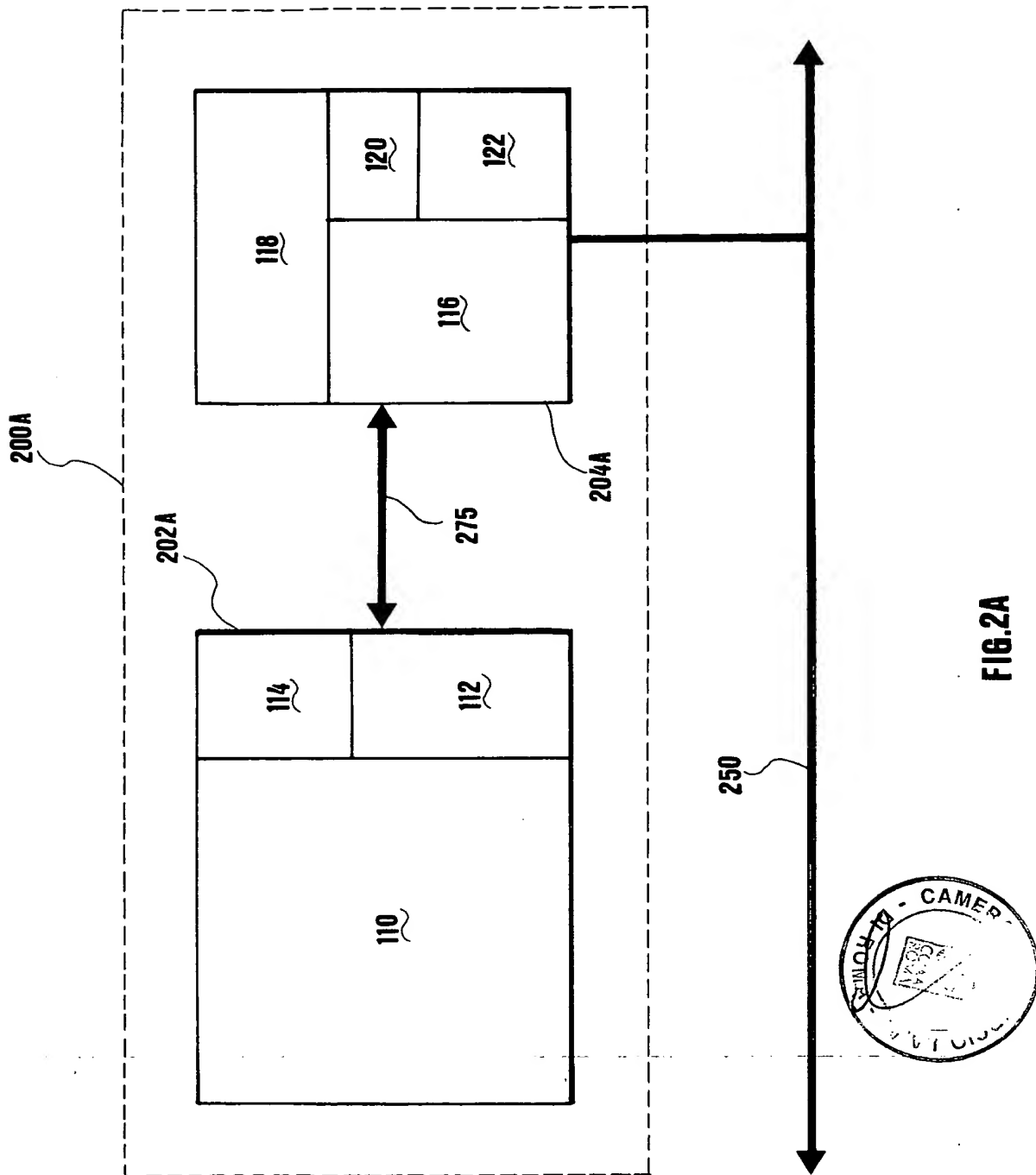


FIG.2A

urw

RM2000 A 0006781

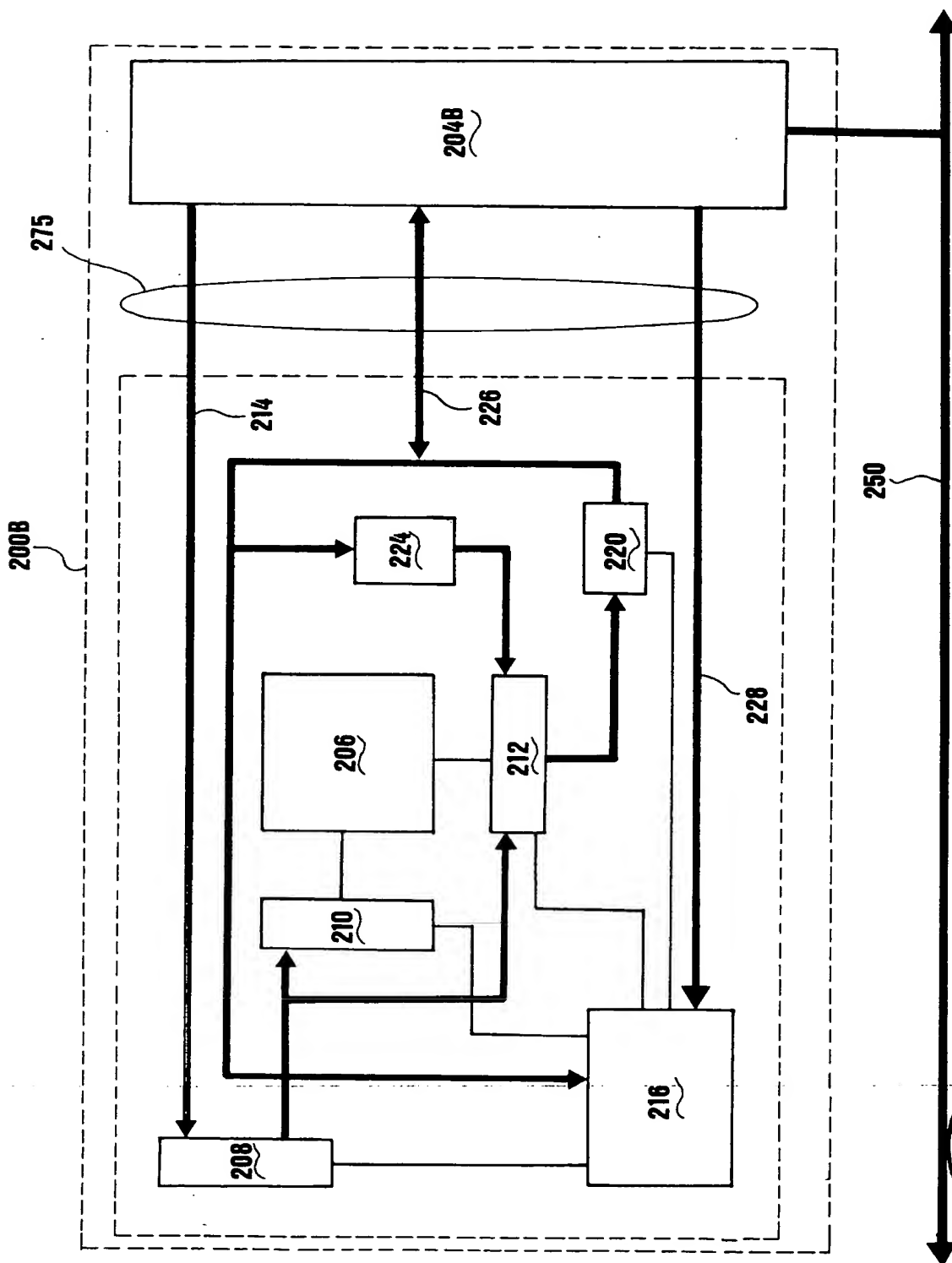
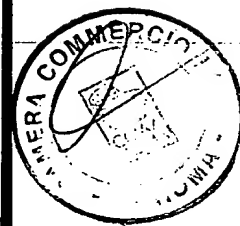


FIG. 2B





RM2000 A 000671

FIG. 3A

FIG. 3B

FIG. 3C

